**BỘ GIÁO DỤC VÀ ĐÀO TẠO**

**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM**

**KHOA ĐÀO TẠO CHẤT LƯỢNG CAO**



**BÁO CÁO**

**THIẾT KẾ MẠCH CHIA HAI SỐ 4 BIT**

**(CÔNG NGHỆ 90NM)**

**MÔN HỌC : THIẾT KẾ VI MẠCH VLSI**

**GVHD : TS. PHẠM VĂN KHOA LỚP : CT6-TIẾT 10 - 12 (03CLC)**

*TP.Hồ Chí Minh, tháng 12 năm 2021*

**THÀNH VIÊN NHÓM:**

|  |  |
| --- | --- |
| **Họ và tên** | **Mã số sinh viên** |
| **Trần Huy Khang** | **19119101** |
| Huỳnh Khánh Duy | 19119081 |
| Đinh Nhật Khang | 19119099 |
| Bùi Chí Ngoan | 18119099 |
| Phạm Quốc Thắng | 18161153 |
| Trần Trung Thắng | 18119121 |

**PHÂN CHIA CÔNG VIỆC:**

* **Thiết kế, mô phỏng, đo thông số các cổng logic**
* Phạm Quốc Thắng: 70%
* Trần Trung Thắng: 30%
* **Thiết kế, mô phỏng, đo thông số mạch mux**
* Trần Trung Thắng: 80%
* Trần Huy Khang : 20%
* **Thiết kế, mô phỏng, đo thông số mạch cộng Carry Look Ahead 4 bit**
* Trần Huy Khang: 20%
* Đinh Nhật Khang: 80%
* **Thiết kế, mô phỏng, đo thông số Flipflop D**
* Bùi Chí Ngoan: 80%
* Huỳnh Khánh Duy: 10%
* Đinh Nhật Khang: 10%
* **Thiết kế, mô phỏng, đo thông số mạch đếm Counter 4 bit**
* Trần Huy Khang: 20%
* Huỳnh Khánh Duy: 80%
* **Thiết kế, mô phỏng, đo thông số mạch chia**
* Trần Huy Khang : 100%

**Giới Thiệu**

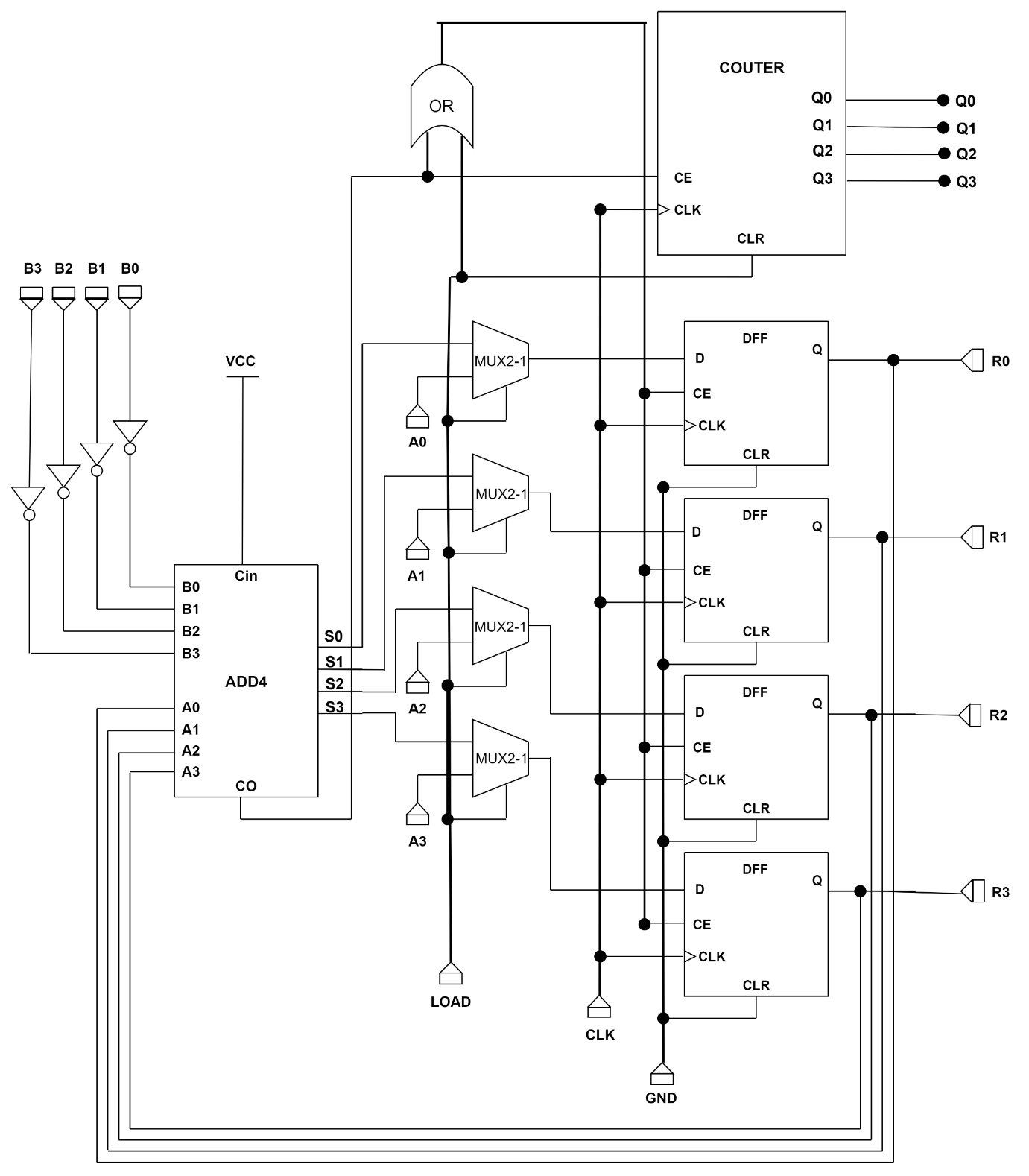
Bài báo cáo trình bày về một mạch chia nối tiếp 2 số nhị phân 4 bit không dấu và được thiết kế bằng công nghệ CMOS 90nm. Công nghệ CMOS 90nm được Intel sử dụng sản xuất chip bán dẫn dựa trên công nghệ nano trog khoảng từ năm 2000 – 2004. Kích thước 90nm này chính là chiều dài của các bóng bán dẫn. Thông số này cũng là thước đo về tốc độ bóng bán dẫn và mật độ dày đặc của bóng bán dẫn có thể được tích hợp trong một thiết kế thủ công. Sử dụng chất điện môi thấp ( lower k-dielectric ) để loại bỏ điện trở dây, lớp silicon căng giúp các bóng bán dẫn chuyển mạch nhanh hơn và nhiều lớp đồng để cải thiện mật độ logic.

Trong tất cả các phép toán nguyên tố, phép chia có hoạt động phức tạp nhất và có thể tiêu thụ năng lượng nhiều nhất. Về cơ bản có phép chia hoạt động theo nguyên tắc tuần tự, do đó nó tiêu tốn nhiều tài nguyên hơn ( độ trễ lan truyền ) so với các phép toán khác. Một bộ chia hiệu quả có thể cải thiện đáng kể hiệu suất của thành phần ALU của bất kỳ mạch kỹ thuật số nào. Một bộ chia 2 số nhị phân có thể được thực hiện theo phương pháp nối tiếp và song song, với phương pháp nối tiếp thì việc chia 2 số nhị phân sẽ được thực hiện bởi sự lặp của các phép trừ.

**I. Phương Pháp**

Bộ chia 2 số nhị phân 4 bit được thực hiện bằng công cụ Cadence EDA cung cấp các chức năng như giúp tăng tốc độ thiết kế các mạch, hỗ trợ các công cụ phức tạp, phân tích và đánh giá về mặt hiệu suất của mạch thiết kế, dễ dàng phát hiện, sửa chữa, trích xuất và so sánh các lỗi. Sử dụng trình mô phỏng Spectre SPICE do công ty phần mềm Cadence Design Systems phát triển hỗ trợ mô phỏng RF ( SpectreRF ) và mô phỏng tín hiệu hỗn hợp (AMS Designer). Kết hợp với thư viện gpdk90 ( công nghệ CMOS 90nm ) để thiết kế các mạch số từ các Pmos và Nmos.

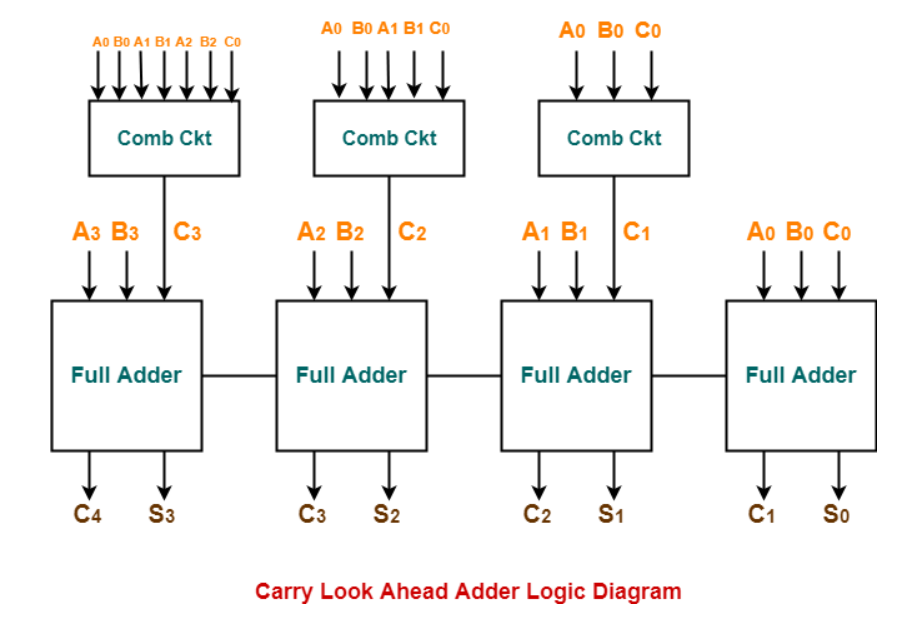
**II. Sơ Đồ Khối Tổng Quát**



***Hình 1. Sơ đồ khối mạch chia nối tiếp***

* Mạch chia nối tiếp được thiết kế bởi các mạch tổ hợp và mạch tuần tự như mạch cộng 2 số 4 bit Carry Look Ahead, mạch mux 2 sang 1, các D – Flipflop và mạch đếm lên đồng bộ 4 bit.
* Hoạt động theo nguyên lý lấy số bị chia trừ cho số chia, sau đó lấy giá trị hiệu đó đem trừ trừ tiếp tục cho số chia. Với mỗi lần trừ thì mạch đếm sẽ đếm lên cho tới khi giá trị hiệu này nhỏ hơn số chia thì dừng. Giá trị ngõ ra của mạch đếm sẽ là giá trị thương và giá trị hiệu nhận được cuối cùng sẽ là số dư của phép chia

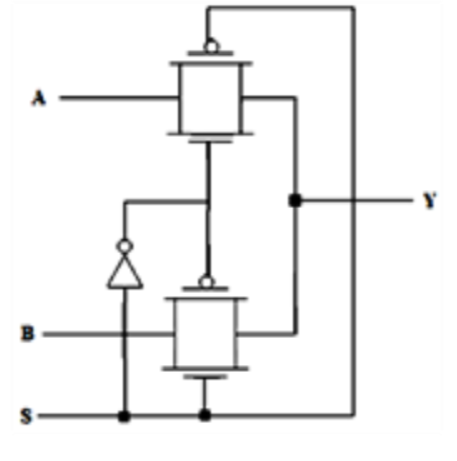
**1. Carry Look Ahead Adder**

****

***Hình 2. Carry look ahead adder 4 bit***

* Mạch cộng 2 số 4 bit được thiết kế theo phương pháp Carry Look Ahead, phương pháp này khắc phục điểm yếu thời gian trễ lan truyền quá lớn của phương pháp Ripple Carry Adder. Với ngõ vào Cin ở mỗi giai đoạn chỉ phụ thuộc vào giá trị Cin ban đầu và giá trị của bit được cộng tại mỗi giai đoạn.
* Bằng cách đảo ngõ vào B ( số chia ) và ngõ vào Cin ở mức cao thì mạch cộng Carry Look Ahead hoạt động như một bộ trừ 2 số nhị phân 4 bit. Mạch có ngõ vào thứ nhất là số B ( số chia ) và ngõ vào thứ 2 là 4 bit giá trị của ngõ của các FlipFlop D. Ngõ ra sẽ là giá trị hiệu.

**2. Multiplexer 2 to 1**



***Hình 3. Transmission gate 2:1 multiplexer***

* Mạch mux được thiết kế với 2 cổng Tranmisstion và 1 cổng Not. Hoạt động với chân điều khiển là chân LOAD, chân LOAD được điều chỉnh sao ở thời điểm ban đầu thì mạch Mux sẽ lựa chọn ngõ vào B làm ngõ ra. Ở các trường hợp sau đó mạch Mux sẽ lựa chọn ngõ vào A làm ngõ ra ( ngõ vào A này cũng chính là ngõ ra của bộ mạch cộng )

**3. Flip-flop D**

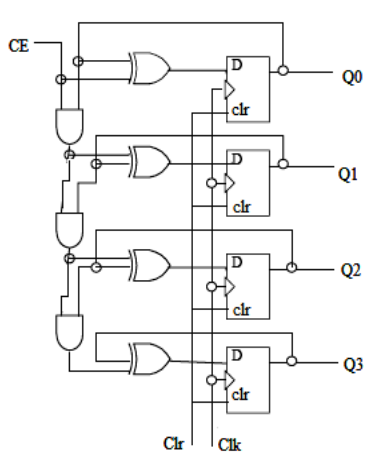
Diagram

Description automatically generated

***Hình 4. Master-slave D flip-flop with clr and CE inputs***

* Flipflop D với ngõ vào cho phép CE được thiết kế theo phương pháp khóa xung ngõ ra, có tác dụng giữ lại giá trị hiệu của từ mạch cộng, và ngõ ra cuối cùng của các FlipFlop D sẽ là ngõ vào của bộ mạch cộng CLA giúp thực hiện việc trừ nạp lại giá trị hiệu của 2 số A, B, và cũng sẽ là giá trị số dư của phép chia.

**4. Synchronous 4-Bit Up Counter**

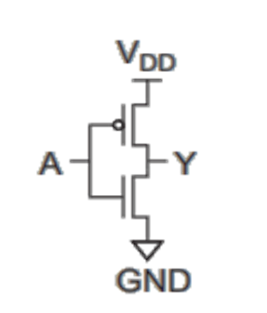
****

***Hình 5. Synchronous 4-Bit Up Counter***

* Bộ đếm đồng bộ được thiết kế chủ yếu từ các cổng logic AND và XOR, kết hợp với các Flipflop D. Với mỗi lần bộ cộng CLA thực hiện một phép trừ thì bộ đếm sẽ đếm lên một giá trị. Mạch được điều khiển bởi xung clock và ngõ vào cho phép CE. Ngõ CE này được điều khiển bởi bit Cout từ bộ cộng CLA. Với mỗi phép trừ có giá trị hiệu lớn hơn không thì chân CE ở mức cao và cho phép đếm.

**III. Các Cổng Logic**

**1. Cổng Inverter**

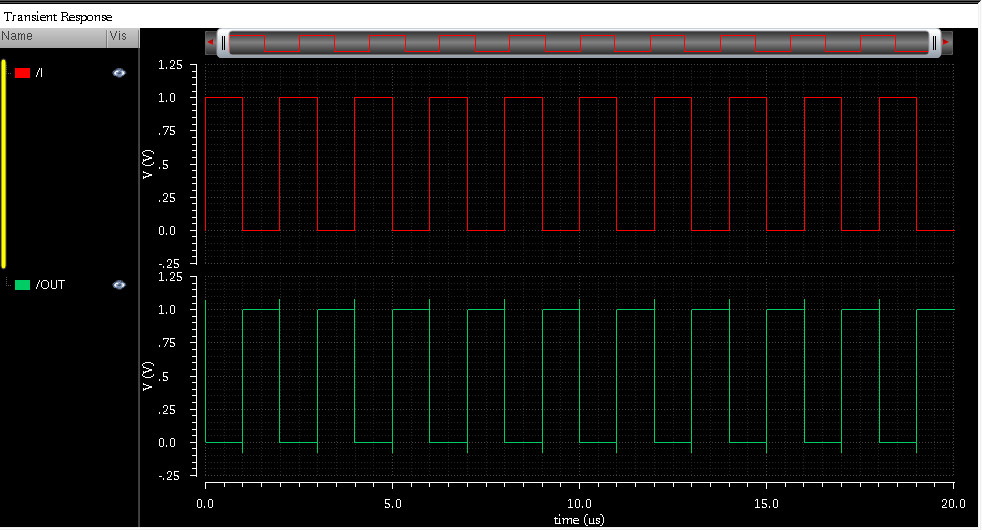
* Bảng trạng thái và sơ đồ CMOS

|  |  |
| --- | --- |
| **A** | **Y** |
| 0 | 1 |
| 1 | 0 |

* W/L Size

Pmos = (nm) Nmos = (nm)

* Wave forms



***Hình 6. Dạng sóng ngõ ra cổng Inverter***

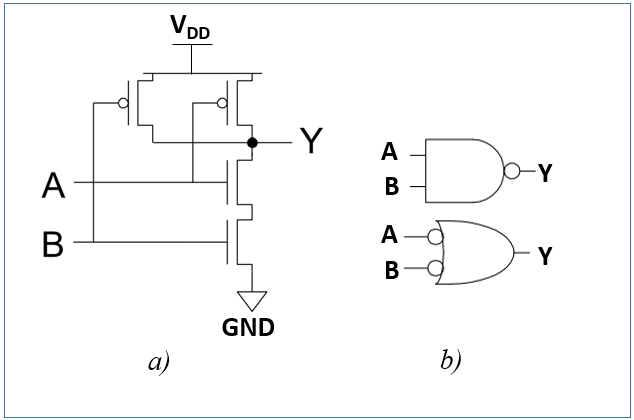
* Thời gian trễ lan truyền ( ở VDD = 1V, f = 100Mhz)

Tp = 6.274 (ps)

* Công suất tiêu thụ ( ở VDD = 1V, f = 100Mhz)

+

**2. Cổng NAND**

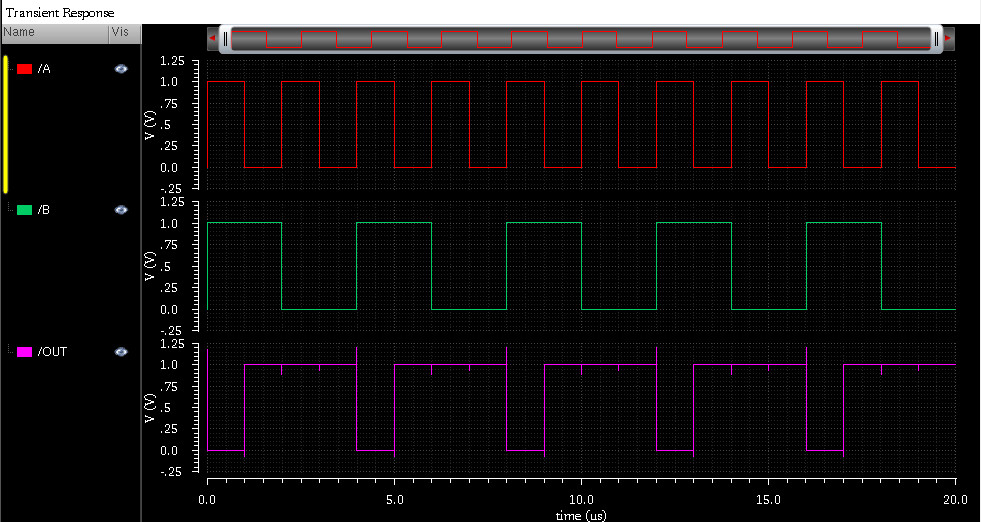
* Bảng trạng thái và sơ đồ CMOS

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

* W/L Size

Pmos = (nm) Nmos = (nm)

* Wave forms



***Hình 7. Dạng sóng ngõ ra cổng NAND***

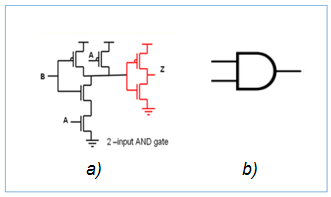
* Thời gian trễ lan truyền ( ở VDD = 1V, f = 100Mhz)

Tp = = 9.76 (ps)

* Công suất tiêu thụ ( ở VDD = 1V, f = 100Mhz)

+

**3. Cổng AND**

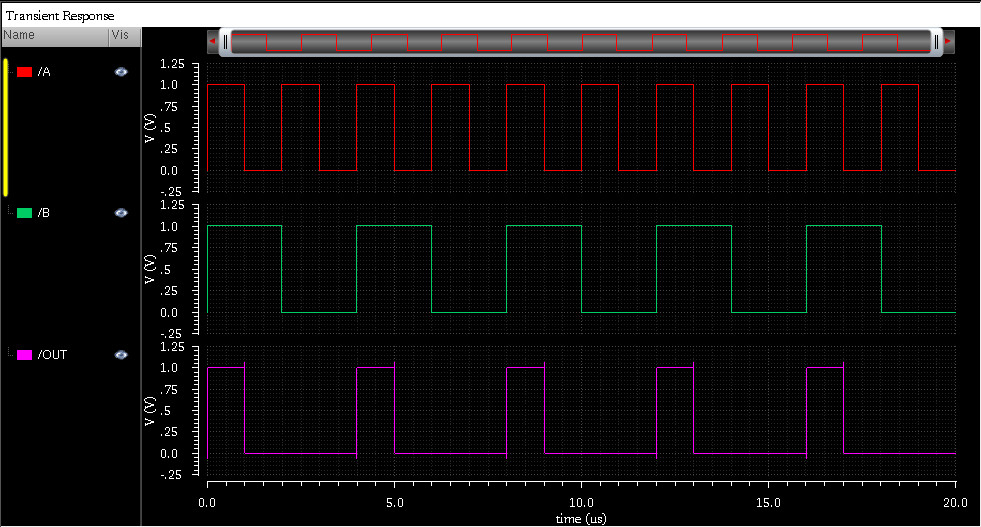
* Bảng trạng thái và sơ đồ CMOS

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

* W/L Size

Pmos = (nm) Nmos = (nm)

* Wave forms



***Hình 8. Dạng sóng ngõ ra cổng AND***

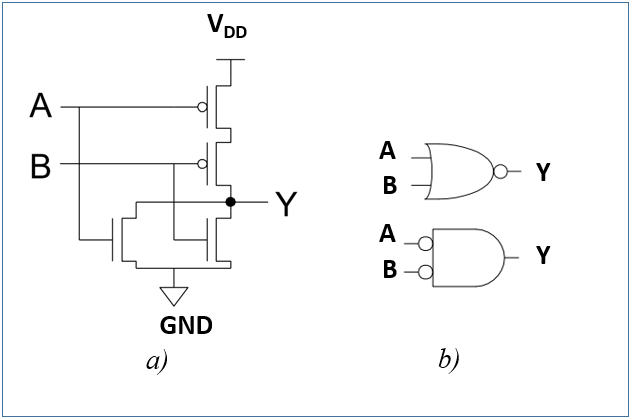
* Thời gian trễ lan truyền ( ở VDD = 1V, f = 100Mhz)

Tp = = 21.83 (ps)

* Công suất tiêu thụ ( ở VDD = 1V, f =100Mhz)

+

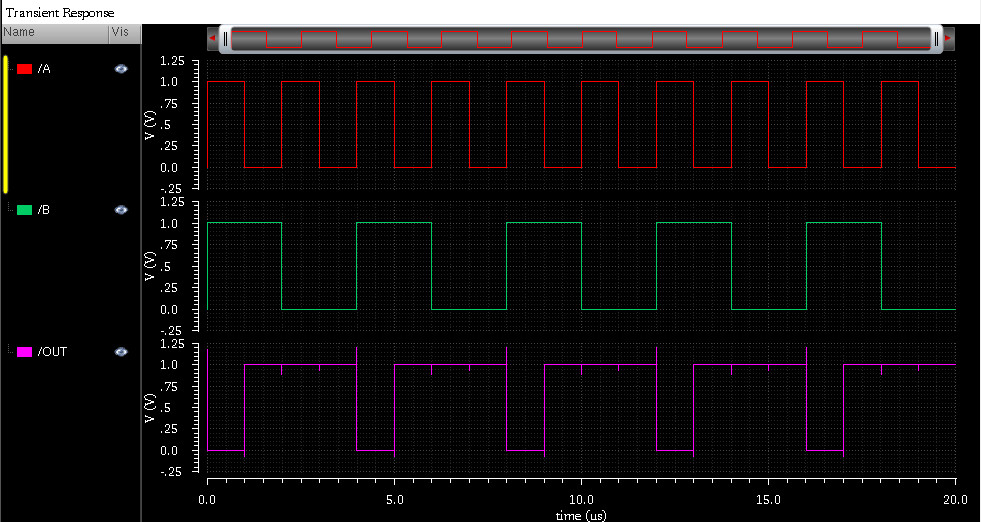
**4. Cổng NOR**

* Bảng trạng thái và sơ đồ CMOS

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

* W/L Size

Pmos = (nm) Nmos = (nm)

* Wave forms

***Hình 9. Dạng sóng ngõ ra cổng NOR***

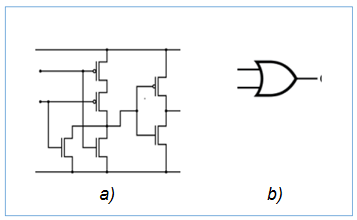
* Thời gian trễ lan truyền (ở VDD = 1V, f = 100Mhz)

Tp = = 11.06 (ps)

* Công suất tiêu thụ (ở VDD = 1V, f = 100Mhz)

+

**5. Cổng OR**

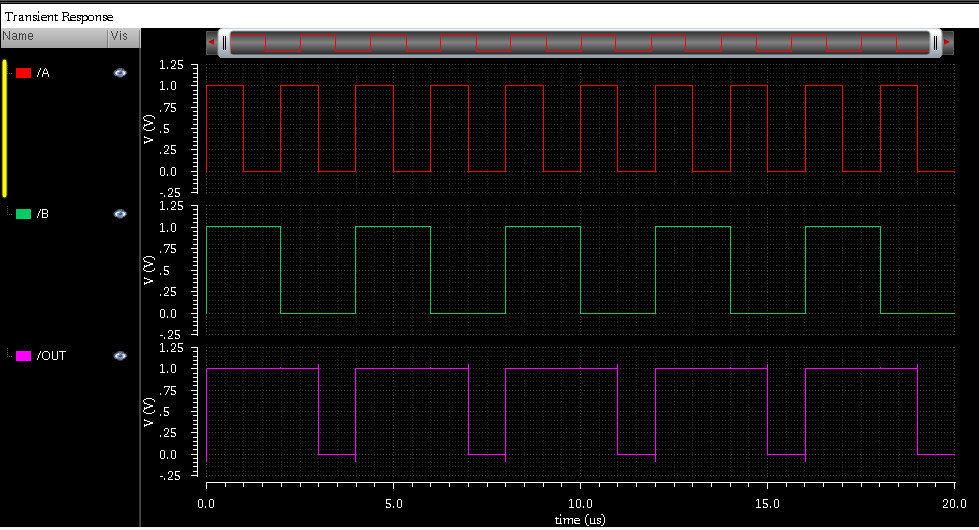
* Bảng trạng thái và sơ đồ CMOS

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

* W/L Size

Pmos = (nm) Nmos = (nm)

* Wave forms



***Hình 10. Dạng sóng ngõ ra cổng OR***

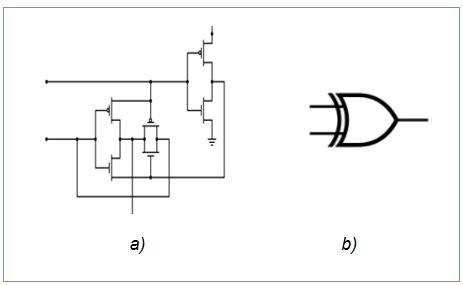
* Thời gian trễ lan truyền (ở VDD=1V, f=100Mhz)

Tp = = 25.45 (ps)

* Công suất tiêu thụ ( ở VDD=1V, f=100Mhz)

+

**6. Cổng XOR**

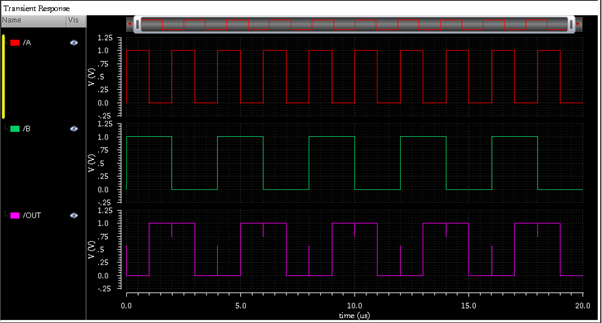
* Bảng trạng thái và sơ đồ CMOS

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

* W/L Size

Pmos = (nm) Nmos = (nm)

* Wave forms



***Hình 11. Dạng sóng ngõ ra cổng XOR***

* Thời gian trễ lan truyền ( ở VDD =1V, f =100Mhz)

Tp = 9.88 (ps)

* Công suất tiêu thụ ( ở VDD =1V, f =100Mhz)

+

**7. So sánh độ trễ lan truyền và công suất tiêu thụ của các cổng logic**

(

***Biểu đồ 1. Độ trễ lan truyền các cổng logic***

***Biểu đồ 2. Công suất tiêu thụ các cổng logic***



***Bảng 1. Số lượng transistor ở mỗi cổng logic***

* Có thể thấy với số lượng transitor lớn hơn thì cổng logic sẽ tiêu tốn lượng năng lượng nhiều hơn

**IV. Mạch chia nối tiếp**

**1. Thiết kế**

**Diagram, schematic

Description automatically generated**

***Hình 12. Sơ đồ schematic mạch chia nối tiếp***

**A picture containing text, scoreboard

Description automatically generated**

***Hình 13. Symbol mạch chia nối tiếp***

|  |  |  |
| --- | --- | --- |
| PIN | | DESCRIPTION |
| NO. | NAME |
| 1 | GND | Tín hiệu điện áp nối đất |
| 2 | VDD | Tín hiệu điện áp nối nguồn |
| 3 | CLR | Tín hiệu reset |
| 4 | CLK | Xung clock |
| 5 | LOAD | Tín hiệu lựa chọn của mạch mux  (được thiết lập mức cao ở chu kỳ xung clock đầu tiên và mức thấp ở các chu kỳ xung clock còn lại) |
| 6 | A0 | Số bị chia (LSB) |
| 7 | A1 | Số bị chia |
| 8 | A2 | Số bị chia |
| 9 | A3 | Số bị chia (MSB) |
| 10 | B0 | Số chia (LSB) |
| 11 | B1 | Số chia |
| 12 | B2 | Số chia |
| 13 | B3 | Số chia (MSB) |
| 14 | R0 | Ngõ ra số dư của phép chia (LSB) |
| 15 | R1 | Ngõ ra số dư của phép chia |
| 16 | R2 | Ngõ ra số dư của phép chia |
| 17 | R3 | Ngõ ra số dư của phép chia (MSB) |
| 18 | Q0 | Ngõ ra thương của phép chia (LSB) |
| 19 | Q1 | Ngõ ra thương của phép chia |
| 20 | Q2 | Ngõ ra thương của phép chia |
| 22 | Q3 | Ngõ ra thương của phép chia (MSB) |

***Bảng 2. Mô tả chân của mạch chia nối tiếp***

**2. Mô phỏng và phân tích**

**A screenshot of a computer

Description automatically generated with medium confidence**

***Hình 14. Dạng sóng mô phỏng mạch chia***

* Sử dụng spectre mô phỏng dạng sóng ngõ ra của mạch chia.
* Trường hợp thứ nhất A = 1111 và B = 0101.
* Trường hợp thứ hai A = 1111 và B = 1010.
* Kết quả thương nhận được ở các bit Q3Q2Q1Q0
* Kết quả số dư nhận được ở các bit R3R2R1R0

***Biểu đồ 3. Độ trễ lan truyền của các khối***

* Ở mức điện áp VDD = 1V và tần số hoạt động của mạch là 100Mhz thì ta thấy mạch Mux có độ trễ lan truyền thấp nhất với 15.05ps và mạch chia có độ trễ lan truyền cao nhất với 123.82ps.



***Bảng 3. Số lượng transistor ở các mạch***

* Mạch chia được thiết kế từ các mạch tổ hợp và tuần tự như Mux, Carry Look Ahead Adder, D Flip - flop và bộ đếm nhị phân nên có số lượng transistor lớn nhất,dẫn đến cấu trúc phần cứng sẽ phức tạp hơn và mạch chia sẽ có lượng công suất tiêu thụ lớn hơn nhiều so với các mạch số có lượng transistor nhỏ hơn. Điều này được thể hiện rõ trong **Biểu đồ 4** bên dưới

***Biểu đồ 4. Công suất tiêu thụ của các khối***

**3. Các yếu tố ảnh hưởng tới công suất tiêu thụ**

***Biểu đồ 5. Sự ảnh hưởng của tần số đến công suất tiêu thụ***

* Công suất chuyển mạch tỉ lệ thuận với tần số chuyển mạch dẫn đến việc một thiết kế hoạt động ở tần số cao sẽ làm tiêu tốn lượng năng lượng lớn.

***Biều đồ 6. Sự ảnh hưởng của nhiệt độ đến công suất tiêu thụ***

* Nhiệt độ có sự ảnh hưởng đến công suất tiêu thụ, trong môi trường có nhiệt độ thấp công suất tiêu thụ được giảm hơn so với môi trường có nhiệt độ cao

***Biểu đồ 7. Sự ảnh hưởng của điện áp Vdd đến công suất tiêu thụ***

* Công suất tiêu thụ của mạch số tỉ lệ thuận với bình phương điện áp Vdd. Vì thế ngày nay người ta có xu hướng giảm giá trị điện áp Vdd. Từ đó, giúp giảm lượng công suất tiêu thụ.

**4. Tham số**

* Điện áp hoạt động VDD ( có các giá trị là 0.8V, 1V, 1.2V, mặc định là 1V )
* Nhiệt độ môi trường ( mặc định là 27 °C )
* Tần số hoạt động của mạch ( tần số xung clock ) ( mặc định là 100Mhz )

**5. Phát triển**

* Mạch chia được ứng dụng trong thiết kế khối ALU của các mạch điện kỹ thuật số. Việc thiết kế một mạch chia với tốc độ cao giúp tăng tốc độ xử lý cho khối ALU.
* Mạch chia có thể được tối ưu hơn về bộ cộng để giúp tăng tốc độ xử lý phép chia
* Với nguyên lý chia nối tiếp ta có thể phát triển mạch chia này thành mạch chia 2 số 8 bit bằng việc tăng số bit của mạch cộng và mạch đếm. Từ đó ta sẽ có được mạch chia nối tiếp 2 số 8 bit hoặc hơn.

**V. Kết Luận**

Bài báo cáo trình bày được phương pháp thiết kế mạch chia hai số 4 bit không dấu theo phương pháp nối tiếp dựa trên phép trừ hai số nhị phân. Sử dụng cấu trúc mạch cộng Carry Look Ahead giúp giảm thời gian trễ lan truyền của mạch. Tuy nhiên so với cấu trúc mạch cộng Ripple Carry Adder thì mạch cộng Carry Look Ahead có cấu trúc thiết kế phức tạp hơn, điều này dẫn đến sự phức tạp về phần cứng và công suất tiêu thụ của mạch cao hơn. Việc thực hiện phép chia theo phương pháp nối tiếp phải phụ thuộc vào tốc độ xung clock, và nếu với các phép chia có kết quả thương lớn thì cần thời gian thực hiện lâu hơn (phải lặp lại phép trừ nhiều lần ). Điều này dẫn đến thời gian thực thi còn chưa tối ưu.

**TÀI LIỆU THAM KHẢO**

* Sách CMOS VLSI Design của Neil Weste và David Harris (4th edition)
* Sách Digital Intergrated Circuits của Jan M. Rabaey
* Bài nghiên cứu khoa học ở IJESRT : Design and implementation of serial Divider using 180nm process technology